

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報 (A)

平4-176235

⑬ Int.Cl.⁵

H 04 L 29/06
 A 63 F 9/00
 9/22
 H 04 L 12/44

識別記号

府内整理番号

⑭ 公開 平成4年(1992)6月23日

A 6777-2C
 G 8102-2C

8020-5K H 04 L 13/00 305 B
 7928-5K - 11/00 340

審査請求 未請求 請求項の数 1 (全16頁)

⑮ 発明の名称 ゲーム機用通信アダプタ

⑯ 特願 平2-304850

⑰ 出願 平2(1990)11月8日

⑱ 発明者 岡田智 京都府京都市東山区福稻上高松町60番地 任天堂株式会社
内

⑲ 発明者 山上仁志 京都府京都市東山区福稻上高松町60番地 任天堂株式会社
内

⑳ 発明者 山野勝也 京都府京都市東山区福稻上高松町60番地 任天堂株式会社
内

㉑ 出願人 任天堂株式会社 京都府京都市東山区福稻上高松町60番地

明細書

1、発明の名称

ゲーム機用通信アダプタ

2、特許請求の範囲

ゲームに関するデータを入出力するための第1の接続具と送受信データを一時記憶するバッファメモリとがそれぞれ設けられかつ他のゲーム機のゲーム状態に関連しながらゲームを実行する複数のゲーム機が関連的に接続され、ゲームに関するデータを複数のゲーム機に送受するためのゲーム機用通信アダプタであって、

ハウジング、

前記ハウジングに設けられかつ少なくとも第1の端子と第2の端子と第3の端子とを含み、各ゲーム機の第1の接続具と接続するための複数の第2の接続具、

前記複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第1の端子に接続されたデータ入力ポート、

前記複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第2の端子に接続されたデータ出力ポート、

前記複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第3の端子に接続されたクロック出力ポート、

前記ゲーム機とのデータ通信に使用される同一のクロック信号を、前記クロック出力ポートの各ビットに与えるクロッギング信号発生手段、

前記クロック信号に同期して、前記各ゲーム機へ送信するゲームに関する送信データと各ゲーム機から受信したゲームに関する受信データとを記憶する送受信データ一時記憶手段、

前記各ゲーム機からのビット直列の受信データをビット並列のデータにフォーマット変換し、又は送信すべきビット並列データをビット直列のデータにフォーマット変換するフォーマット変換手段、

前記クロック信号に同期して、前記各ゲーム機から受信した前記データ入力ポートのデータのうちビット対応のデータを前記フォーマット変換手段によってフォーマット変換された後、前記送受信データー時記憶手段へ蓄込む受信データ書込手段、および

前記クロック信号に同期して、前記送受信データー時記憶手段に記憶されている送信データを前記各ゲーム機へ送信するために、送受信データー時記憶手段に記憶されている送信データを読み出して前記フォーマット変換手段にビット対応のデータにフォーマット変換させた後、前記データ出力ポートの各ビットへ与える送信データ供給手段を備えた、ゲーム機用通信アダプタ。

3、発明の詳細な説明

〔産業上の利用分野〕

この発明はゲーム機用通信アダプタに関し、特に例えれば複数のゲーム機を接続して対戦ゲームを行う場合のゲームに関するデータを送受信するために用いられるゲーム機用通信アダプタに関する

る。

〔従来技術〕

従来では、パーソナルコンピュータを使用してデータ通信する場合に長距離の伝送路と交換機を介して通信するので伝送エラーが発生し易いため、伝送制御手順に従ってデータを送受信したり誤り制御を行う高価なモ뎀が使用されていた。

一方、本願出願人は、簡易な方法でゲームに関するデータを送受信して2台のゲーム機間で対戦ゲームを行うものとして、携帯型ドットマトリクス液晶ゲーム機（商品名「GAME BOY」）を2台接続して対戦ゲームを行う技術を提案した。

〔発明が解決しようとする課題〕

モ뎀を用いてデータ通信する技術は、正確にデータを伝送できるが高価となり、低価格化が要請されるゲーム機において対戦ゲームデータを伝送するのに適さない。また、誤り制御等を用いて伝送エラーを低減しようとすれば、そのための処理に時間がかかり、ゲーム処理を実行する時間が制約され、対戦ゲームの面白さを損なうことになる。

3

4

また、各パーソナルコンピュータにモ뎀が1台ずつ接続され、両者が1対1で通信するため、3人以上の複数で対戦ゲームを行うことが不可能であった。

一方、上記携帯型ドットマトリクス液晶ゲーム機を2台接続して対戦ゲームを行う技術は、安価な装置でデータ伝送できる反面、一方のゲーム機のゲーム中に相手からデータが送られた後、次の垂直ブランкиング期間になる前に次のデータが送られると、先のデータが消失してしまい、正確なデータ伝送が行えない場合もあった。その原因は、2台のゲーム機間でゲームの進行が異なり、垂直ブランкиングになるタイミングも異なるためと思われる。また、この技術は、2台間でしか対戦ゲームを楽しむことができないため、3人以上で対戦しながらゲームを進行するようなゲーム（例ええば麻雀ゲームやトランプ等）を実現できない。

それゆえに、この発明の主たる目的は、簡単な構成で安価にして、複数のプレイヤが相互に連絡しながら対戦ゲームを楽しめるような新規なゲー

ム機用通信アダプタを提供することである。

〔課題を解決するための手段〕

この発明のゲーム機用通信アダプタ（実施例の対応する参考番号を示せば10）は、ゲームに関するデータを複数のゲーム機に送受するものであって、他のゲーム機のゲーム状態に連絡しながらゲームを実行するための複数のゲーム機を接続して使用される。これらのゲーム機（20a～20d）は、ゲームに関するデータを入出力するための第1の接続具（26）と、送受信データを一時記憶するバッファメモリ（253）とがそれぞれ設けられ、複数のゲーム機が連続的に接続される。

そして、ゲーム機用通信アダプタは、ハウジング（11）と、複数の第2の接続具（13a～13d）と、データ入力ポート（181）と、データ出力ポート（182）と、クロック出力ポート（183）と、クロック信号発生手段（14, 17）と、フォーマット変換手段（14, 15）と、受信データ書込手段（14, 15）と、データ供給手段（14, 15）とを備える。

5

—308—

6

各第2の接続具は、ハウジングに設けられかつ少なくとも第1の端子と第2の端子と第3の端子とを含み、各ゲーム機の第1の接続具と接続するものである。入力ポートは、複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第1の端子に接続される。データ出力ポートは、複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第2の端子に接続される。クロック出力ポートは、複数の第2の接続具に相当する数のビット数の記憶部を有し、各ビットが各第2の接続具に含まれる第3の端子に接続される。

〔作用〕

クロック信号発生手段は、各ゲーム機とのデータ通信に使用される同一のクロック信号を送受信タイミングに同期して、クロック出力ポートの各ビットに与える。送受信データ一時記憶手段は、クロック信号に同期して、各ゲーム機へ送信するゲームに関する送信データと各ゲーム機から受信

したゲームに関する受信データとを記憶する。フォーマット変換手段は、各ゲーム機からのビット並列の受信データをビット並列のデータにフォーマット変換し、又は送信すべきビット並列データをビット並列のデータにフォーマット変換する。受信データ書込手段は、クロック信号に同期して、各ゲーム機から受信したデータ入力ポートのデータのうちビット対応のデータをフォーマット変換手段によってフォーマット変換された後、送受信データ一時記憶手段へ書込む。送信データ供給手段は、クロック信号に同期して、送受信データ一時記憶手段に記憶されている送信データを各ゲーム機へ送信するために、送受信データ一時記憶手段に記憶されている送信データを読み出して前記フォーマット変換手段にビット対応のデータにフォーマット変換させた後、データ出力ポートの各ビットへ与える。

〔発明の効果〕

この発明によれば、高価なモジュールを用いることなく、簡単な回路で複数のゲームとの間で対戦ゲ

7

ームに関連するデータを確実に伝送でき、しかも接続できるゲーム機の台数を増加できるので適用できる対戦ゲームの種類の多様化が図れる。

〔実施例〕

第1図はこの発明の一実施例のゲーム機用通信アダプタ（以下「通信アダプタ」という）の外観図である。図において、通信アダプタ10は、3辺以上の辺をもつ多角形（例えば図示では矩形又は4角形）のハウジング11を含み、その側面から子機となる或るゲーム機20a（なお、ゲーム機がドットマトリクス液晶ディスプレイを使用しているので図示では「DMG」と示す場合もある）に接続するためのプラグ付コード12が接続端子13aを介して引き出される。ハウジング11の他の側面には、複数の他のゲーム機20b～20dとコード12で接続するためのコネクタ13b～13dが装着される。接続端子13a及びコネクタ13b～13dは、例えば送受信データを1ビット単位で直列伝送するための第1端子および第2端子と、クロック信号を伝送する第3

8

端子を含み、必要に応じていずれかのゲーム機から電源供給を受けるためにプラス（第4端子）とグランド（第5端子）の2つの端子を含む。

そして、複数のプレイヤが対戦ゲームを楽しむ場合は、第2図に示すように接続され、各ゲーム機20a～20dの対戦ゲームのために必要なデータが通信アダプタ10を介してそれぞれに伝送される。従って、通信アダプタ10は、データの送受信機能を有することになる。

なお、図示では、最大4人が同時に対戦ゲームを行う場合を想定して、4台のゲーム機（子機）を接続する場合を示すが、最大3人用ならばコネクタ13dが不要となり、5人以上の場合は接続するゲーム機の数に応じてコネクタが追加される。その場合、ハウジング11は、5角形のものを用いたり、横長の形状にして1辺に複数のコネクタを設けてもよい。また、コネクタに代えて、第1ゲーム機20a用のプラグ付コード12を他のゲーム機20b～20d用に接続してもよい。また、ゲーム機20aとの接続は、中心となる1台のゲ

9

10

ーム機が必ず接続されて通信アダプタ 10 に電源を供給するため、接続端子 13a を介してプラグ付コードが接続されるが、これに代えてコネクタを設けるとともに別のコードを用いてもよい。

第3図は通信アダプタの一実施例のブロック図である。通信アダプタ 10 は、マイクロプロセッサ（以下「CPU」という）14 を含む。CPU 14 には、データバス及びアドレスバスを介して読み出専用メモリ（以下「ROM」という）15 および書き込み出専用メモリ（以下「RAM」という）16 が接続される。ROM 15 は、後述の第7A図～第7F図に示すフローチャートの動作を実現するためのプログラムデータを記憶している。

RAM 16 は、入出力データを一時記憶する入出力バッファ又は送受信バッファとして用いられる。具体的には、RAM 16 は第4図に示すように送信バッファ領域 161 と受信バッファ領域 162 とレジスタ領域 163 とフラグ領域 164 を含む。送信バッファ領域 161 は、ゲーム器 20a～20d のそれぞれのゲームに関する 1 バイト

データを各ゲーム機毎に 1 バイト（出力ポート 182 の各ビット対応端子から 8 クロック期間に送信すべき 1 バイト）で記憶するものであって、少なくとも $4 \times 4 = 16$ バイトの記憶容量を有する。同様に、受信バッファ領域 162 は、ゲーム器 20a～20d のそれぞれのゲームに関する 1 バイトデータを各ゲーム機毎に 1 バイト（入力ポート 181 の各ビット対応端子へ 8 クロック期間に受信される 1 バイト）で記憶するものであって、少なくとも $4 \times 4 = 16$ バイトの記憶容量を有する。レジスタ領域 163 は、例えば通信サイクルデータ（S）を一時記憶するレジスタ 163s と、1 バイトの間隔データ（T）を一時記憶するレジスタ 163t と、データ数（n）を一時記憶するレジスタ 163n とを含む。フラグ領域 164 は、タイマ割込フラグやモードフラグ等を含む。

また、CPU 14 には、クロック発振器 17、入力ポート 181、出力ポート 182 およびクロック出力ポート 183 が接続される。クロック発振器 17 は、CPU 14 のマシンサイクルに相關

1 1

する周波数の基準クロック信号を発生して CPU 14 に与える。CPU 14 は、基準クロック信号に基づくサイクルで動作するとともに、1 ビットの送信データを出力し又は受信データを受け取る毎に、送受信同期用の 1 クロック信号を発生して、ゲーム機 20a～20d に対応する接続端子 130 および上記各コネクタ 131～133 に与える。従って、クロック発振器 17 及び CPU 14 によって、クロック信号発生手段が構成される。

入力ポート 181 は、ゲーム機 20a～20d のそれぞれに対応する 4 ビットの記憶部（例えば D 型フリップフロップ）を有し、各ゲーム機 20a～20d から接続端子 13a と各コネクタ 13b～13d の各第 1 端子（図示せず）を介してビット直列で伝送されるデータを一時記憶する。同様に、出力ポート 182 は、4 ビットの記憶部を有し、各ゲーム機 20a～20d へビット直列で伝送すべきデータを一時記憶し、そのデータを接続端子 13a と各コネクタ 13b～13d の各第 2 端子（図示せず）を介してビット直列で各ゲー

1 2

ム機 20a～20d へ伝送する。クロック出力ポート 183 は、4 ビットの記憶部を有し、その記憶部に 1 ビットデータの送受信周期に同期して論理「1」と「0」を交互に記憶することによって、送受信に同期したクロック信号を接続端子 13a と各コネクタ 13b～13d の各第 3 端子（図示せず）を介して各ゲーム機 20a～20d に供給する。

さらに、CPU 15 には、通信サイクルを決定するためにダイマ時間をプリセット可能なハード回路によるダイマ（以下「ハードダイマ」という）19 が接続される。なお、図示しないが、CPU 15 がプログラム処理によるソフト的に 1 バイト間隔（時間 T）を知るために、ソフトダイマ機能も備えている。

第5図は通信アダプタに接続されるゲーム機のブロック図である。各ゲーム機 20a～20d は、液晶表示器（LCD）21、表示駆動回路 22、表示制御回路 23、操作部 24、コネクタ 25 及び通信制御回路 26 を含む。ゲーム機 20a～2

1 3

—310—

1 4

9 d のコネクタ 2 4 には、ゲーム制御や表示制御や通信制御のための各種プログラムデータを記憶した外部メモリカートリッジ 3 0 が着脱自在とされる。

液晶表示器 2 1 は、例えばドットマトリクスタイプであって、表示駆動回路 2 2 に含まれるセグメントドライバ 2 2 1 とコモンドライバ 2 2 2 によって駆動される。表示制御回路 2 3 は、CPU コア 2 3 1、入出力ポート 2 3 2、ダイレクトメモリ (DMA) コントローラ 2 3 3、ラインバッファ 2 3 4、LCD コントローラ 2 3 5、LCD ドライブ信号バッファ 2 3 6、表示 RAM 2 3 7 及び RAM インターフェース 2 3 8 を含む。これらの回路の詳細は、本願出願人の出願に係る特開平 1-4452号 (特開平 2-210562号) に記載しているので省略する。

通信制御回路 2 6 は、シフトレジスタ 2 6 1、割込条件検出回路 2 5 2 及び送受信バッファ RAM 2 6 3 を含む。シフトレジスタ 2 6 1 は、通信アダプタ 1 0 からクロック信号 (SCK) によっ

てシフト動作し、CPU コア 2 3 1 の制御の下で 1 バイトの送受信データを並列ロードしつつビット直列データに変換して出力し、または直列データの入力をシフトしながら並列データに変換して CPU コア 2 3 1 に与える働きをする。割込条件検出回路 2 6 2 は、クロック信号 (SCK) が 8 回与えられる毎 (すなわち 1 バイトデータの送受信毎) に割込信号を発生して、CPU コア 2 3 1 に与える。送受信バッファ 2 6 3 は受信バッファ領域と送信バッファ領域を含み、受信バッファ領域及び送信バッファ領域が通信アダプタ 1 に接続される台数に相当するバイト数 (例えば 4 バイト) をそれぞれ含む。また、通信制御回路 2 6 に関連してコネクタ 2 7 が設けられ、コネクタ 2 7 の各端子がシフトレジスタの最上位ビット及び最下位ビットとクロック信号 (SCK) ラインに接続される。

第 6 A 図および第 6 B 図はこの通信アダプタとゲーム機間のデータ通信状態の原理を図解的に示した図であり、特に第 6 A 図は通信アダプタの動

1 5

作モードを示し、第 6 B 図はデータ通信状態における送受信データ記憶用の各 RAM エリアとデータの流れの関係を示す。

なお、図示では、送受信データの流れのうち第 1 バイト目を太線、第 2 バイト目を細線、第 3 バイト目を点線、第 4 バイト目を一点鎖線で示す。

まず、第 6 A 図を参照して、動作モードの概略を説明する。電源が投入されたとき、換言すればプラグ付コード 1 2 がゲーム機 2 0 a のコネクタ 2 6 に接続されたとき、通信アダプタ 1 0 の CPU 1 4 は接続状態を確認するために接続情報モード (後述の第 7 C 図及び第 9 A 図～第 9 C 図を参照して詳細に説明する) を実行する。そして、ゲーム機 2 0 a ～ 2 0 d のいずれかが接続されかつゲームをスタートしたとき、CPU 1 4 はスタートモード (後述の第 7 D 図及び第 10 A 図及び第 10 B 図を参照して詳細に説明する) を実行する。ゲーム期間中において、CPU 1 4 はデータ通信モード (後述の第 7 E 図及び第 11 A 図及び第 11 B 図を参照して詳細に説明する) を実行する。

1 6

また、例えば電源を切らないでゲームを始めからやり直したい場合等のゲーム中にリセットしたいときは、CPU 1 4 がリセットモード (後述の第 7 F 図及び第 12 A 図及び第 12 B 図を参照して詳細に説明する) を実行する。

第 6 B 図を参照して、RAM 2 6 3 の各ゲーム機 2 0 a ～ 2 0 d に対応する第 1 バイト目には、対戦ゲームに必要なそれぞれのゲーム状態を表す送信データが記憶されている。各ゲーム機 2 0 a ～ 2 0 d の 1 バイトの送信データがビット対応の順序 (B0 ～ B7 の順、すなわちビット直列) でありかつ各ゲーム機の対応ビットデータが 4 ビット並列で接続端子 1 3 a、コネクタ 1 3 b ～ 1 3 d の第 1 端子を介して入力ポート 1 8 1 の各ビット対応の記憶部に送信される。この動作が 8 ビット期間行われることより、1 バイトデータが伝送され、かつ CPU 1 4 によって読み込まれ、かつ CPU 1 4 と ROM 1 5 のプログラムに基づいて 1 バイト 8 ビットのデータにフォーマット変換されて受信バッファ領域 1 6 1 の対応エリアへ

1 7

—311—

1 8

書き込まれる。この動作が 4 バイトの送信データを伝送するまで繰り返される。但し、第 2 ~ 第 4 バイト目のデータは、1 回の送信データが 1 バイトしかない場合、例えば 8 ビットオールゼロ等のダミーデータとなる。

一方、CPU15 は、1 回分の受信データを受け取ると、受信バッファ領域 161 の受信データを送信バッファ領域 162 の各ゲーム機 20a ~ 20d 別のエリアの各アドレスへ転送又は書き込む。このとき、4 台のゲーム機 20a ~ 20d の対戦ゲーム状態を表すデータがそれぞれのゲーム機で必要とされるので、4 バイトデータの送信により全てのゲーム機に 4 台分のゲーム状態データを送信するため、CPU15 はゲーム機 20a ~ 20d 別のエリアの第 1 ~ 第 4 バイト目のぞれぞれの対応バイトに同じデータを書き込むことになる。

その後、送信バッファ領域 162 の各ゲーム機に対応する第 1 ~ 第 4 バイトの順で、各バイトのデータが対応ビット順にビット直列（すなわち、20a ~ 20d の第 i バイトの B0, B1 … B7、…

20a ~ 20d の第 i バイトの B0, B1 … B7）で各ゲーム機 20a ~ 20d へ送信される。このようにして受信したデータが各ゲーム機 20a ~ 20d の送受信バッファ 263 の受信バッファ領域に記憶される。

第 7A 図 ~ 第 7F 図は通信アダプタの動作を説明するためのフローチャートであり、特に第 7A 図はパワーオン時、第 7B 図はタイマ割込時、第 7C 図は接続モード時、第 7D 図はスタートモード時、第 7E 図はデータ通信モード時、第 7F 図はリセットモード時の場合を示す。

第 8 図はゲーム機の通信動作を説明するためのフローチャートであり、特に第 8A 図はメインプログラム、第 8B 図は SIO 割込時の場合を示す。

第 9A 図ないし第 12B 図はモード別のデータフォーマットの図解図であり、特に第 9A 図 ~ 第 9C 図は接続情報モード、第 10A 図及び第 10B 図はスタートモード、第 11A 図及び第 11B 図はデータ通信モード、第 12A 図及び第 12B 図はリセットモードの場合を示す。

19

20

次に、各モード別に通信アダプタとゲーム機間でデータ通信する場合の動作を説明する。

(1) 電源投入処理及びタイマ割込処理

コード 12 のプラグをゲーム機 20a に差込み、ゲーム機 20a の電源スイッチ（図示せず）が投入されると、通信アダプタ 10 に電源が供給される。応じて、CPU15 は第 7A 図に示す電源投入時の動作をスタートする。すなわち、ステップ（図示では「S」と略して示す）1において、ハードタイマ 19 に通信サイクル（S）時間がセットされる。続くステップ 2 において、タイマ割込フラグがセットされる。ステップ 3 において、モードフラグに 0 がセットされる。ステップ S4 において、タイマ割込が発生するまで待機する。

(2) 接続情報モード

ステップ 1 の待機期間中に、タイマ割込が発生すると、第 7B 図に示すタイマ割込処理へ進む。すなわち、ステップ 5 において、モードフラグが 0 か否かが判断されるが、電源投入直後はモードフラグ = 0 であるため、ステップ 10（第 7C 図

参照）において接続モードが実行される。この接続モードの処理は、コネクタ 13b ~ 13d のうちのどれにゲーム機 20b ~ 20c が接続されているかを知ることにより、送受信の必要なゲーム機間のみでデータの送受を行う目的で行われる。

具体的には、ステップ 11 において、第 9A 図に示す各ゲーム機 20a ~ 20d に送信すべき接続情報データを送信（出力）バッファ 161 にセットする。この接続データとしては、先頭コード（16 進表示で F E；図示では 16 進表示のデータの前に S 記号を付けて示す）の後にゲーム機 20a ~ 20d を表すコード「01」～「04」を 3 バイト分付加したデータである。この 1 バイトデータは、第 9C 図に示すように、16 進表示の上位桁すなわち上位 4 ビット D4 ~ D7 がゲーム機 20a ~ 20d に対応しあつそれぞれのビットに論理「1」で接続有り、論理「0」で接続無しの接続状況を表す。16 進表示の下位桁すなわち下位 4 ビットは 2 進数の値で各ゲーム機 20a ~ 20d を指定する。

21

—312—

22

ステップ 1 2において、まず送信バッファ 1 6 のゲーム機 2 0 a に対応する各エリアの 4 バイトにセットされた接続情報データが、フォーマット変換されてビット直列で出力ポート 1 8 2 及び接続端子 1 3 a を介して各ゲーム機のコネクタ 2 7 に与えられる。このとき、CPU 1 5 が 1 ビットデータを送信する毎に送受信同期用の 1 クロック信号を発生し、クロック出力ポート 1 8 3 の各記憶部に与える。応じて、クロック信号 (SCK) が接続端子 1 3 a を介してゲーム機 2 0 a のコネクタ 2 7 に与えられる。これによって、ゲーム機 2 0 a のシフトレジスタ 2 6 1 のデータが 1 ビットシフトされ、かつ割込条件検出回路 2 6 2 が 1 だけカウントアップする。この動作が 1 バイト分行われると、割込条件検出回路 2 6 2 が 8 個のクロックの検出に応答して割込信号を発生し、CPU コア 2 4 1 に与える。応じて、接続されているゲーム機は第 8 B 図の処理を行うが、後述する。

このようにして、ゲーム機 2 0 a へ送信すべき

2 3

戻る。

そして、数回のタイマ割込動作を繰り返した後、ゲーム機 2 0 a ~ 2 0 d から第 1 0 A 図に示すスタート要求コード（例えば SAA；第 1 0 A 図参照）があると、上述のステップ 1 5 においてスタートモードへ移行すべき状態であることが判断され、続くステップ 1 7 においてモードに 1 がセットされる。

(3) スタートモード

上述のステップ 4 で待機している間ににタイマ割込があると、ステップ 5 においてモードフラグが 0 でないことが判断されて、ステップ 6 へ進む。ステップ 6 では、モードフラグが 1 であることが判断されて、スタートモードのサブルーチン (S 2 0) へ進む。

スタートモードでは、第 7 D 図に示すように、ステップ 2 1 においてハードタイマの定数としてデータ S がハードタイマ 1 9 にセットされる。続くステップ 2 2 において、ソフトタイマの定数としてデータ T がセットされる。ここでいうソフト

バイトの接続情報データの送信が終了すると、同様にして他のゲーム機 2 0 b ~ 2 0 d に対する接続情報データの送信が順次行われた後、次のステップ 1 3 へ進む。

ステップ 1 3 において、各ゲーム機 2 0 a ~ 2 0 d は接続情報データの受信に応答して自己が接続されていることを知らせるために、接続認識コード (\$ 8 8) を 2 バイト分と接続時間コードと一回の通信データ数コードの 4 バイトデータを通信アダプタ 1 0 へ送信する。入力ポート 1 8 1 がこれを受信すると、CPU 1 5 はステップ S 1 4 において受信データをフォーマット変換して受信バッファ領域 1 6 1 のゲーム機 2 0 a に対応するエリアへ蓄込むことにより、受信データを格納する。

続くステップ 1 5 においてスタートモードに移行すべき状態か否かを判断するが、そうでなければステップ 1 6 において通信サイクルデータ (S) と通信時間データ (T) をレジスタ領域 1 6 3 にセットした後、元の動作ステップ (S 4) へ

2 4

タイムは、CPU 1 5 が基準クロックに基づいて計時するものである。また、ハードタイマ 1 9 の定数 S とソフトタイマの定数 T とは、通信回数を n (但し、n = 4, 8, 12, 16 のいずれかとする) としたとき、S > T · n に選ばれる。その理由は、ハードタイマの定数 (S) で通信サイクルの時間 (n 回分の通信が終わるまでの時間) を管理し、ソフトタイマの定数 (T) で 1 回の通信時間を管理しているからである。すなわち、1 回の通信時間 (T) を仮に 1 ms としたとき、n が 4, 8, 12, 16 の何れかであるので、S の値は必ず n に対してそれぞれ 4, 8, 12, 16 以上となる。このように設定しなければ、必要回数の通信が終わる前に通信サイクルが終了し、通信データの区切り（結果としてゲーム機と通信アダプタとの同期）が狂ってしまうためである。

ステップ 2 5 において、通信回数データ (n) がレジスタに設定される。続くステップ 2 6 において、モードフラグに 2 が設定されて、次にデータ通信モードを実行すべきことを指定する。ステ

2 5

—313—

2 6

ップ 2 7において、第 1 0 B 図に示すスタートコード（例えば 4 バイトの \$ C C コード）が送信される。その後、ステップ 4 へ戻る。

(4) データ通信モード

上述のステップ 4 で待機している間にタイマ割込があると、ステップ 5 においてモードフラグが 0 でないことが判断され、ステップ 6 においてモードフラグが 1 でないことが判断されて、ステップ 7 へ進む。ステップ 7 では、モードフラグが 2 であることが判断されて、データ通信モードのサブルーチン（S 3 0）へ進む。

データ通信モードでは、第 7 E 図に示すように、ステップ 3 1 において上述の接続モードのステップ 1 2 と同様にして、送信バッファ領域 1 6 1 の対戦ゲームに関連する送信データ（第 1 1 B 図参照）が送信されると同時に、1 ビット送信毎にクロック信号が出力される。なお、このデータ通信では、1 回に送信するデータ長が 1 ～ 4 バイトのいずれかによって伝送順序が第 1 1 B 図のように変わる。

2 7

送信バッファ領域 1 6 1 へ書込まれたデータが次のタイマ割込タイミングにおいて、上述のステップ 3 1 を再び繰り返す際に、各ゲーム機へ送信される。

一方、いずれかのゲーム機を使用しているプレイヤーがリセットスイッチ（図示せず）を操作することにより、リセット要求コード（例えば \$ F F ; 第 1 2 A 図参照）が送信されると、上述のステップ 3 4 においてそのことが判断されて、ステップ 3 6 へ進む。ステップ 3 6 では、モードフラグに 3 がセットされた後、リターンする。

(5) リセットモード

再び上述のステップ 4 の待機中に、タイマ割込が発生すると、タイマ割込処理動作へ進む。このとき、ステップ 5 及び 6 の後、ステップ 7 においてモードフラグが 2 でないことが判断されると、ステップ 4 0 のリセットモードへ進む。

リセットモードでは、ステップ 4 1 （第 7 F 図参照）において、C P U 1 5 は第 1 2 B 図に示すようなりセットコード（\$ F F ）を各ゲーム機 2

次のステップ 3 2 において、各ゲーム機 2 0 a ～ 2 0 d はゲームに関連するデータの受信に応答して第 1 1 A 図に示すデータを通信アダプタ 1 0 へ送信する。この場合、各ゲーム機はゲームに関連するデータの後に何の意味も持たないダミーデータを附加して、送信データのバイト数を所定の形式に適合させるが、その形式は 1 ～ 4 バイト長の何れによるかで異なる。これに応答して、通信アダプタ 1 0 側の C P U 1 5 はゲーム機からの送信データを受信する。

ステップ 3 3 において、C P U 1 5 は受信データを R A M に 1 6 に書き可能なフォーマットに変換した後、受信バッファ領域 1 6 2 に格納する。その場合の記憶態様は、第 6 B 図に示すようになる。

続くステップ 3 4 においてリセットモードに移行すべき状態か否かを判断するが、そうでなければステップ 3 5 において受信バッファ領域 1 6 2 のデータを逆フォーマット変換して送信バッファ領域 1 6 1 へ書き込んだ後、リターンする。そして、

2 8

0 a ～ 2 0 d へ送信する。統いて、ステップ 4 2 において、モードフラグに 0 をセットした後、リターンする。これによって、リセット要求が発生した場合は、タイマ割込処理において、上述の接続モードから再開することになる。

(6) 各ゲーム機側の動作

各ゲーム機 2 0 a ～ 2 0 d の動作は、通信アダプタ 1 0 の動作説明に関連して簡単に説明したが、以下には第 8 A 図及び第 8 B 図を参照してゲーム機側を主体として通信に関連する動作の詳細を説明する。

ゲーム機 2 0 a ～ 2 0 d は、通常第 8 A 図に示すメインプログラムを実行している。すなわち、ステップ 5 1 において、操作部 2 3 に含まれるキーの操作状態を示すデータ（キー入力状態）を読み込む。続くステップ 5 2 において、C P U コア 2 4 1 は外部メモリカートリッジ 3 0 に含まれる R O M のプログラムデータに基づいてゲーム処理を実行する。このとき、ゲームプログラムデータは対戦ゲーム用であるので、他のプレイヤーのゲーム

2 9

3 0

状態を知るために通信アダプタ10を介して他のゲーム機と対戦ゲームに関するデータを送受信する必要がある。そこで、CPUコア241は自己の送信データを予め送信バッファ領域に書き込んでおく。その後、ステップ53において、1サイクルの通信が終了したか否かが判断され、終了していないことを判断すると終了検出するまで待機する。この状態において、通信アダプタ10から通信割込が発生すると、第8B図に示す通信割込処理へ進む。

通信割込処理では、ステップ61においてモードレジスタが1か否かを判断し、1でないことを判断すると、ステップ62へ進み、1であることを判断するとステップ64へ進む。ステップ62において、受信バッファ領域にリセットコード(\$FFF)が記憶されているか否かが判断され、リセットコードのないことを判断するとステップ64へ進む。なお、リセットコードが記憶されていることを判断すると、ステップ63において通信回数レジスタをリセット(カの値を0にする)

した後、ステップ64へ進む。

ステップ64において、送受信バッファRAM263の送信バッファ領域へ受信データが書き込まれるか、又は通信アダプタ10へ送信すべき送信データが送信バッファ領域へ書き込まれる。続くステップ65において、通信回数レジスタの値に1を加算する。その後、ステップ66において、通信回数レジスタの値が通信アダプタ10から与えられた通信回数(n)に一致するか否かが判断される。一致していないことが判断されると、ステップ67において回数データがストアされた後、ステップ68において受信待ち示すコード(\$80)をレジスタへ書き込み、ステップ53へ戻る。

一方、ステップ53において待機中に通信割込が発生して、ステップ61～68の動作を繰り返している間に、指定の回数だけ通信動作を実行すると、ステップ66において一致したことが判断されてステップ69へ進む。ステップ69では、1サイクルの通信が終了したことを表すために、通信回数レジスタに0を設定することにより、通

3 1

信終了フラグを立てる。続いてステップ68を実行した後、ステップ53へ戻ると、1サイクルの通信が終了したことが判断されて、ステップ51へ戻る。そのような動作が繰り返される。すなわち、1サイクル通信毎にステップ51及び52を繰り返すことになる。

なお、上述の説明では、4台のゲーム機が接続された場合を述べたが、接続されていないものについては送信データをそのゲーム機に対応するバッファエリアに書き込まないので、データの送受信が行われないことは言うまでもない。

また、上述の説明では、携帯用ゲーム機に本願発明を適用した場合を述べたが、この発明はこれに限らず家庭用テレビゲーム機等にも適用できる。

4、図面の詳細な説明

第1図はこの発明の一実施例のゲーム機用通信アダプタの外観図である。

第2図は通信用アダプタの使用状態を示す図解図である。

第3図は通信用アダプタの一実施例のブロック

3 2

図である。

第4図は通信用アダプタに含まれるRAM(送受信データ一時記憶手段)のマップを表す図である。

第5図は通信用アダプタに接続されるゲーム機の一例を示すブロック図である。

第6A図および第6B図は通信用アダプタとゲーム機間のデータ通信状態を図解的に示し、特に第6A図は通信用アダプタの動作モード、第6B図はデータ通信状態におけるデータの流れと送受信データを記憶する各RAMエリアの関係を示す。

第7A図ないし第7F図は通信アダプタの動作を説明するためのフローチャートを示し、特に第7A図はパワーオン(スタート)時、第7B図はタイマー割込時、第7C図は接続モード、第7D図はスタートモード、第7E図はデータ通信モード、第7F図はリセットモードの場合を示す。

第8A図および第8B図はゲーム機側の通信動作に関するフローチャートを示し、特に第8A図はメインプログラム、第8B図はS/I/O割込の場

3 3

—315—

3 4

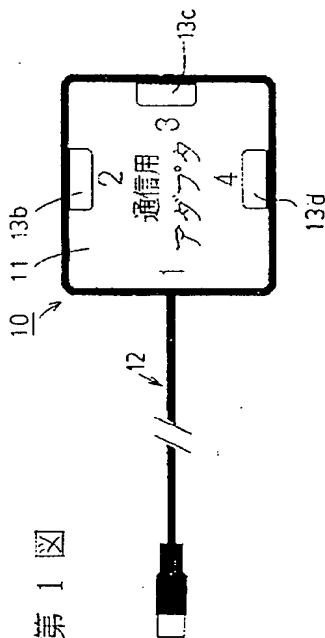
合を示す。

第9A図ないし第12B図は動作モード別のデータフォーマットの図解図であり、特に第9A図～第9C図は接続情報モード、第10A図及び第10B図はスタートモード、第11A図及び第11B図はデータ通信モード、第12A図及び第12B図はリセットモードの場合を示す。

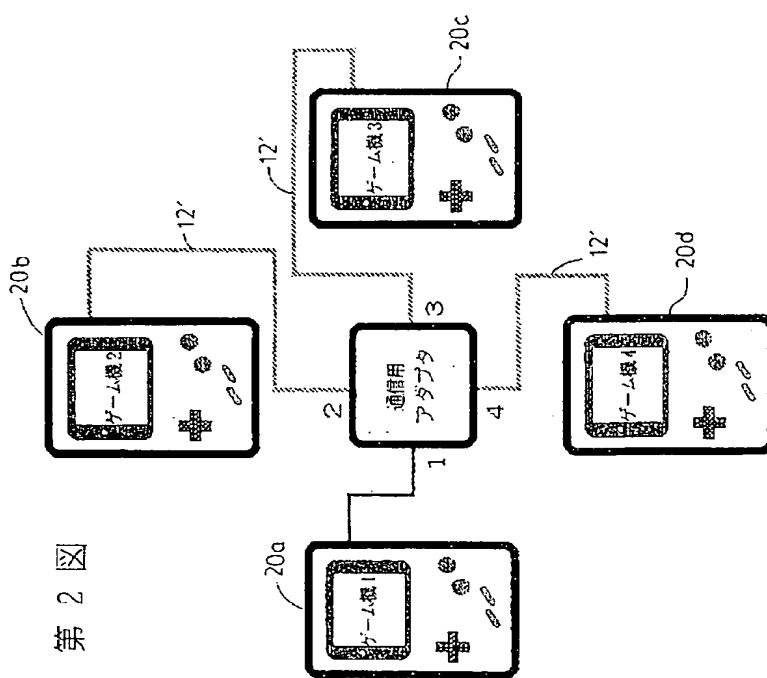
図において、10はゲーム機用通信アダプタ、11はハウジング、12はプラグ付コード、13aないし13dは接続具、14はマイクロプロセッサ(CPU)、15は読み専用メモリ(ROM)、16は書き込み可能メモリ(RAM；送受信データ一時記憶手段)、17はクロック発振器、181は入力ポート、182は出力ポート、183はクロック出力ポート、20a、20b、20cおよび20dはゲーム機を示す。

特許出願人 任天堂株式会社

35

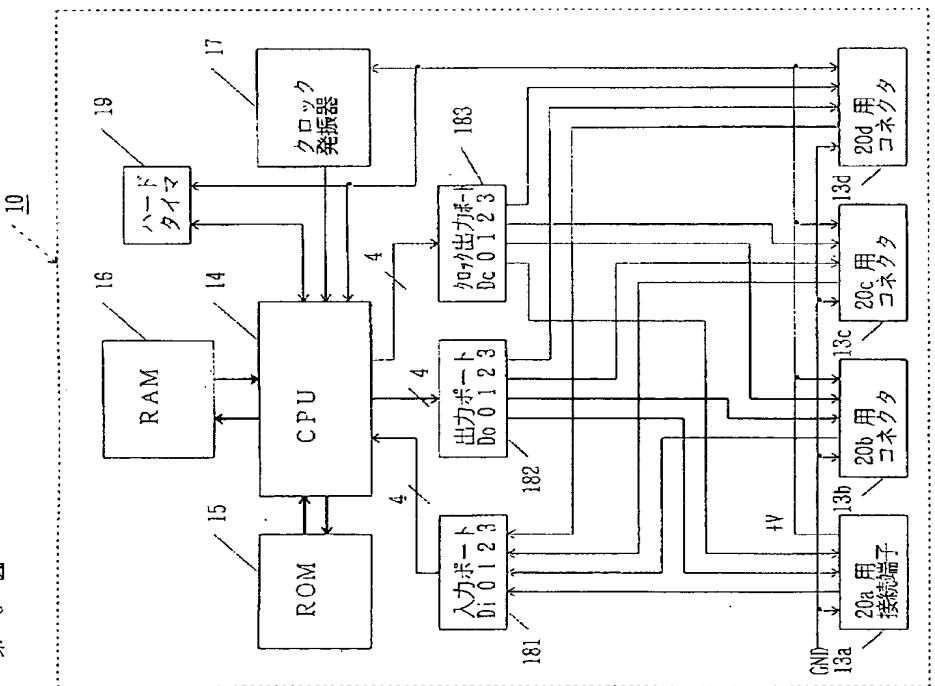


第1図

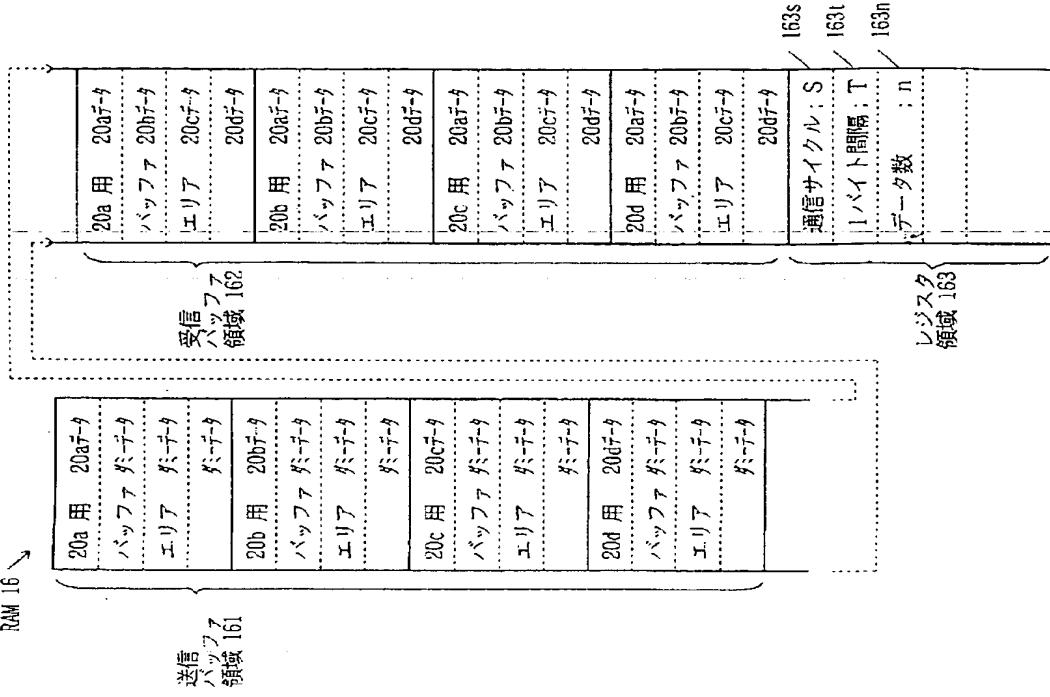


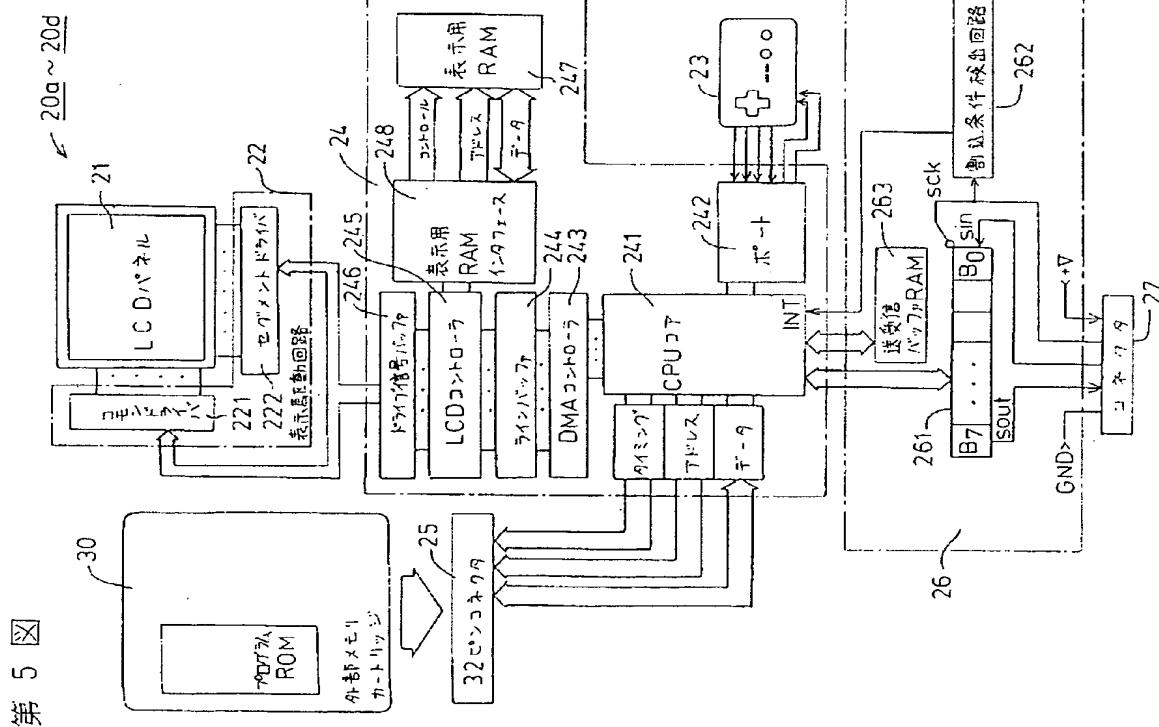
第2図

第3頁



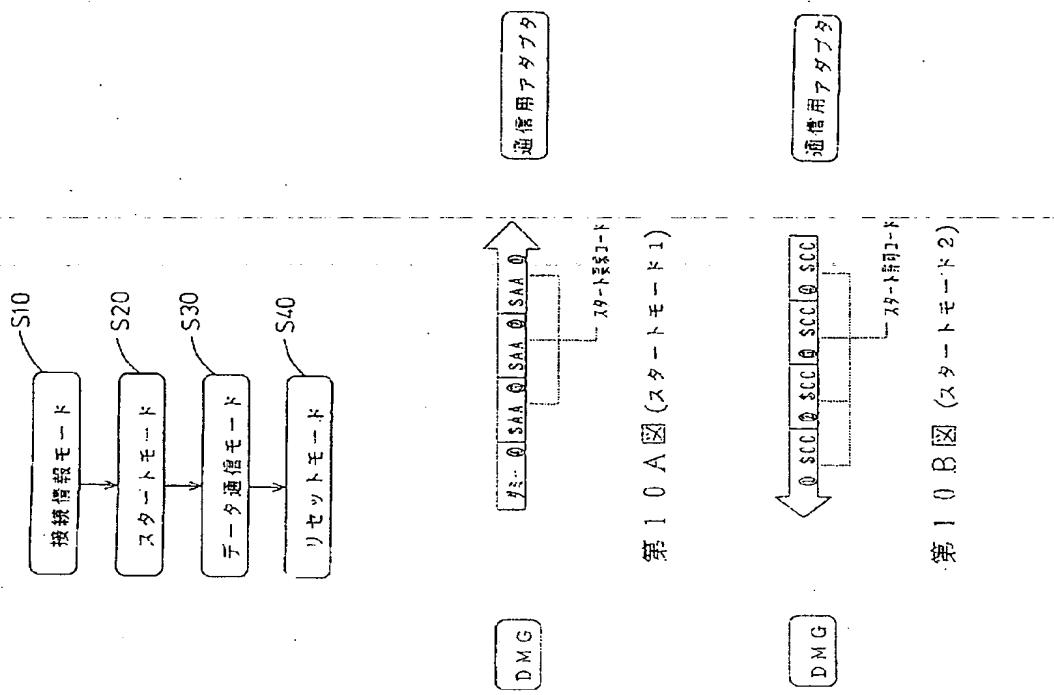
四





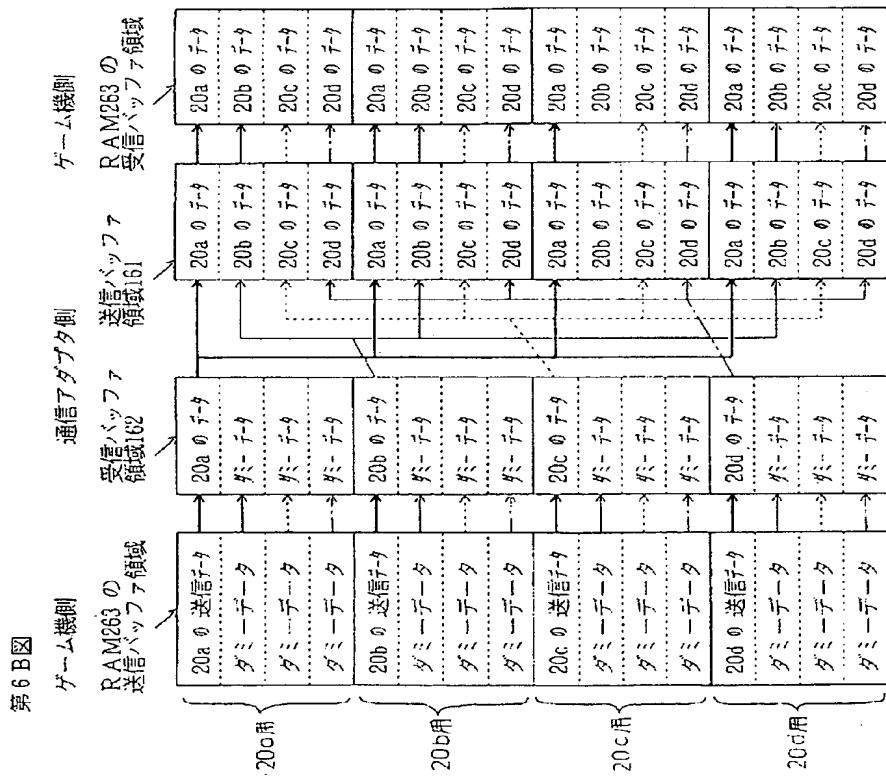
四
五

第6章

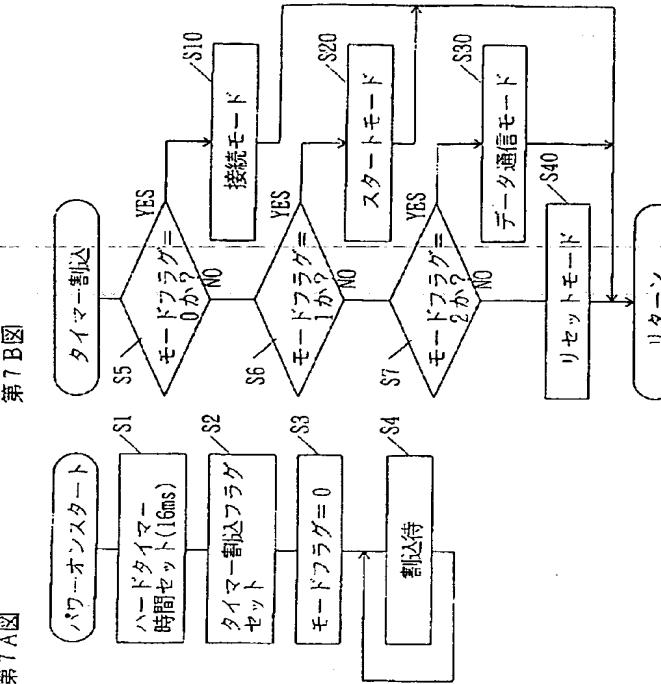


第10A圖(スターモード)

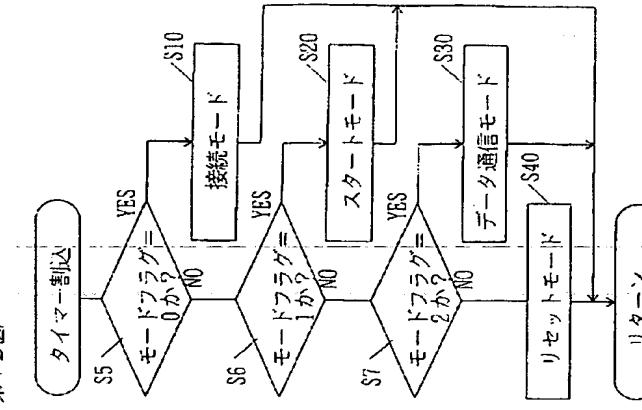
第10回(スタートモード2)

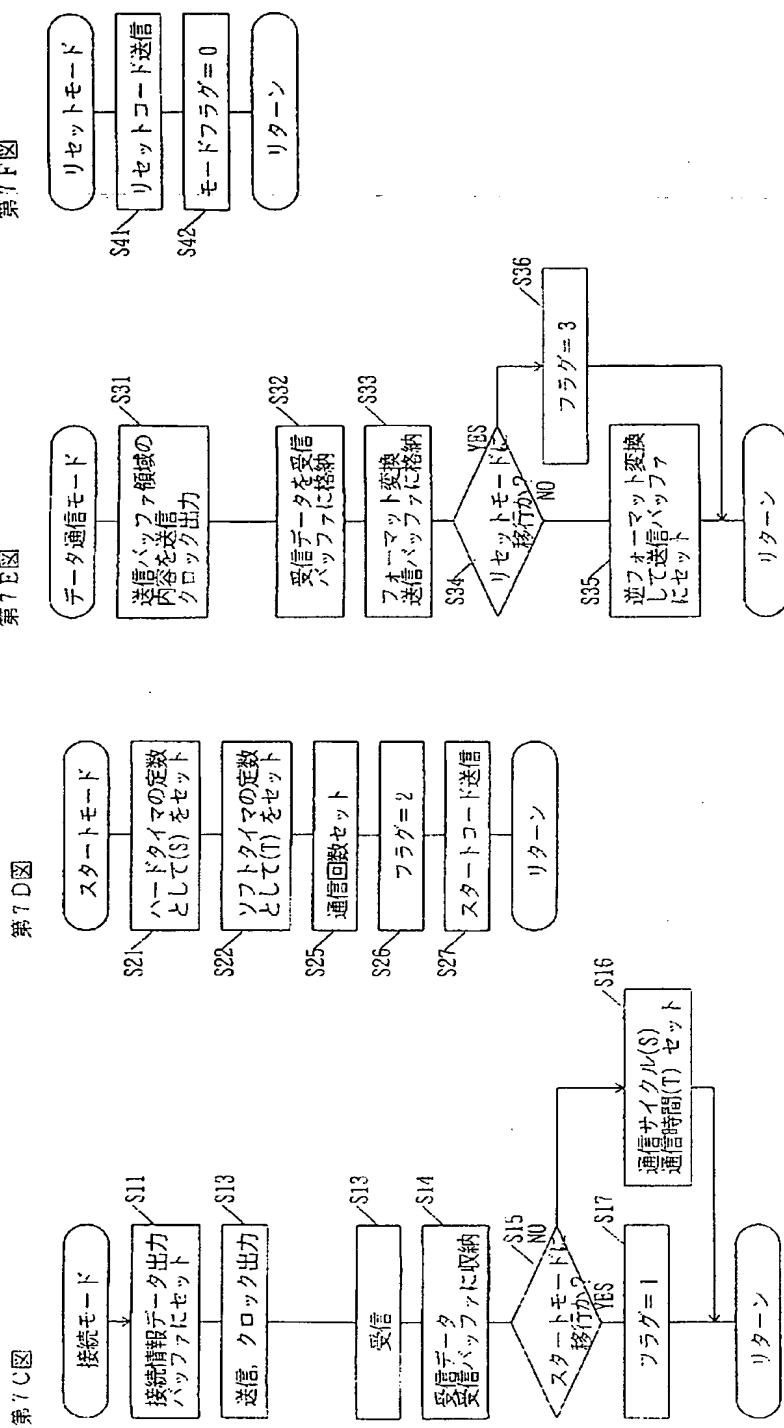


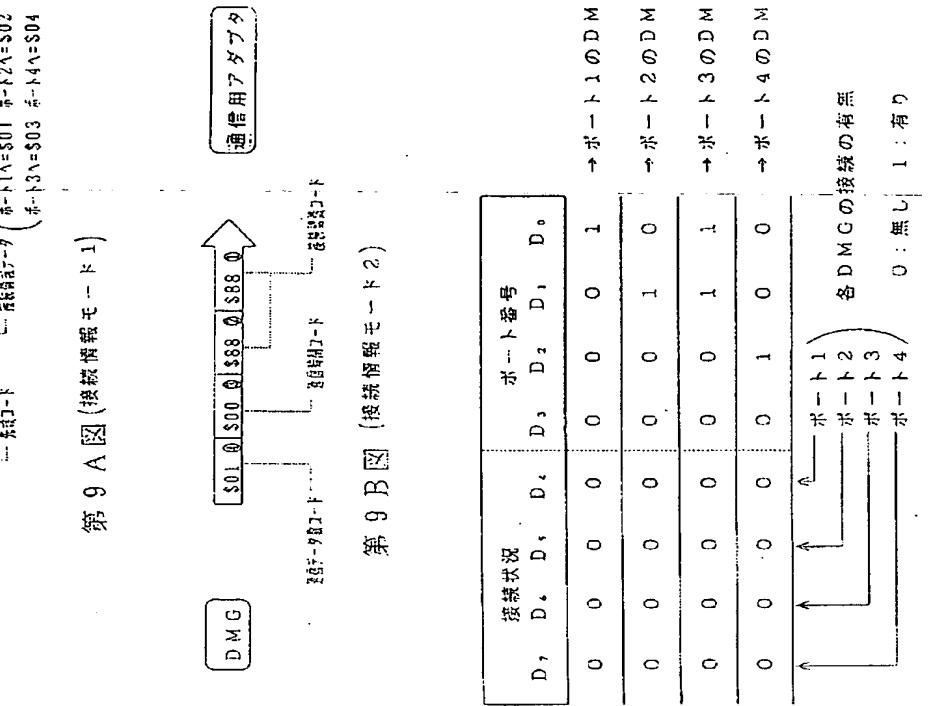
第7A図



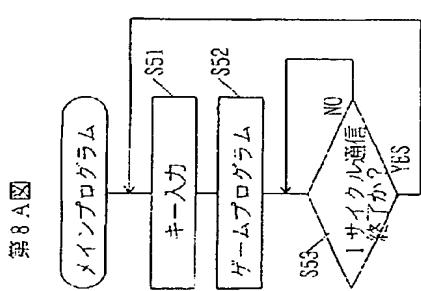
第7B図



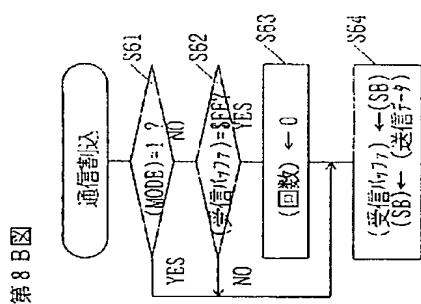




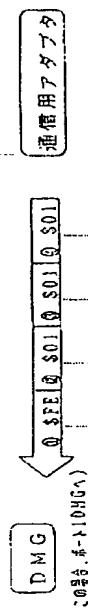
第8 A図



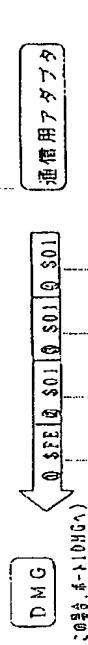
第8 B図

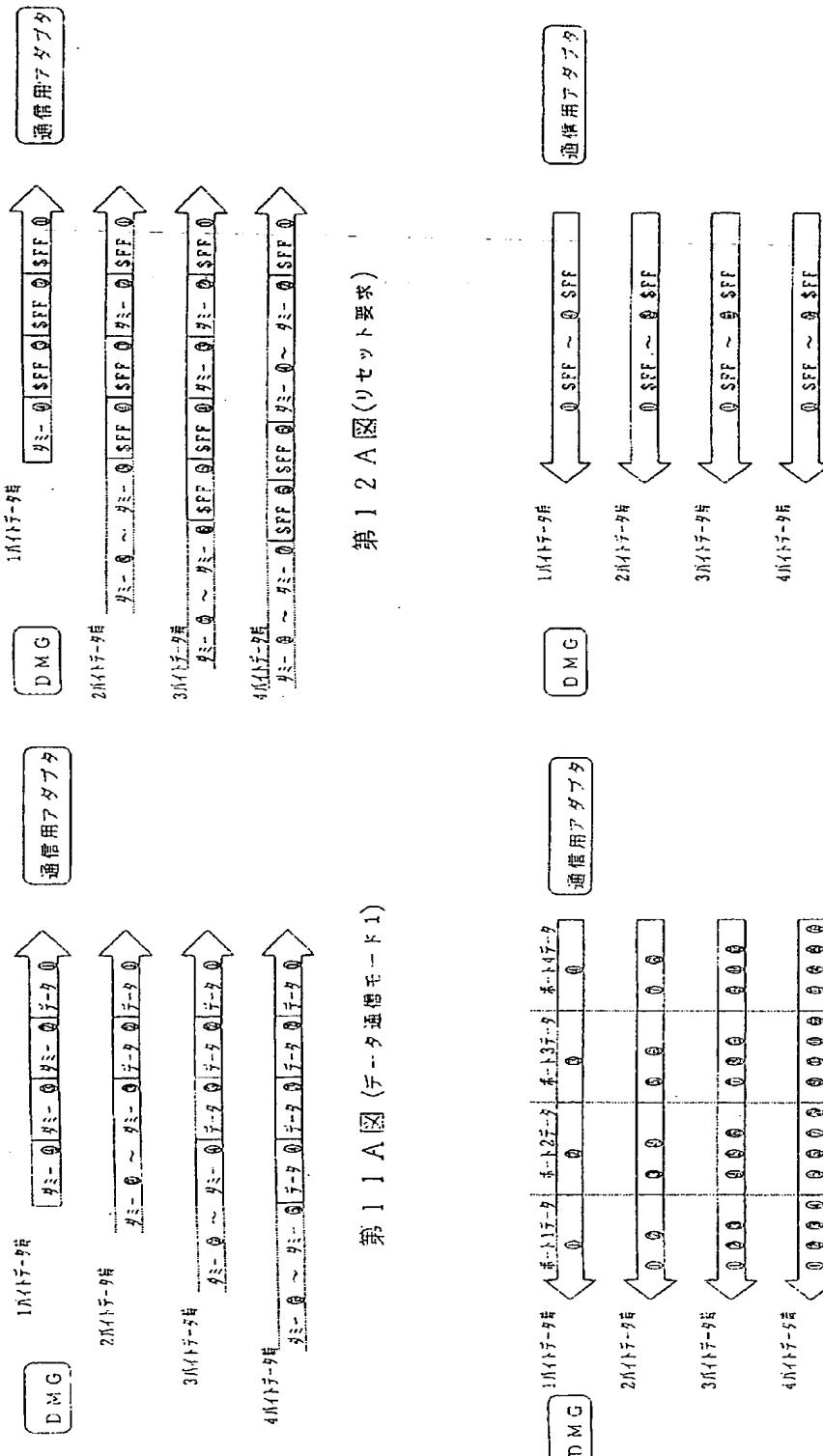


第9 A図 (接続情報モード1)



第8 C図 (接続情報モード2)





【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成11年(1999)12月10日

【公開番号】特開平4-176235

【公開日】平成4年(1992)6月23日

【年通号数】公開特許公報4-1763

【出願番号】特願平2-304850

【国際特許分類第6版】

H04L 29/06

A63F 9/22

【F I】

H04L 13/00 305 B

A63F 9/22 G

手 緯 補 正 書

平成9年11月5日

特許庁長官 謹

1. 事件の表記

平成2年 特許公報 第304850号

2. 発明の名称

ゲーム機用通信アダプタ

3. 補正をするもの

事件との関係 特許出願第304850号

住所 〒605 京都市東山区高瀬上高松町60番地

名称 住友株式会社

代表者 山内 博

TEL (075)541-6111

4. 補正命令の日付

自発補正

5. 補正により増加する請求項の数 6

6. 補正の対象
明細書及び特許請求の範囲に記載された各請求項の特徴を説明する面

7. 補正の内容

- (1) 特許請求の範囲を削除のとおり訂正する。
- (2) 明細書第6頁第11行の「パッファメモリ(253)」を「パッファメモリ(263)」と訂正する。
- (3) 明細書第14頁第9行、第14頁第12行～第13行、第19頁第6行、第19頁第14行、第21頁第7行、第23頁第6行、第24頁第11行、第26頁第1行、第28頁第9行、第28頁第1行および第30頁第10行の「CPU15」を「CPU14」と訂正する。
- (4) 明細書第22頁第2行の「コネクタ13b～13d」を「コネクタ12a～13b～13d」と訂正する。
- (5) 明細書第22頁第3行の「ゲーム機20b～20c」を「ゲーム機20a～20d」と訂正する。

以上

2. 特許請求の範囲

1 ゲームに関するデータを入出力するための第1の接続手段と送受信データを一時記憶するバッファメモリとがそれぞれ設けられた他のゲーム機のゲーム状態に関係しながらゲームを実行する複数のゲーム機が連続的に接続され、ゲームに関するデータを複数のゲーム機に送受するためのゲーム機用通信アダプタであって、

ハウジング、

前記ハウジングに取り付けられかつ少なくとも第1の端子と第2の端子と第3の端子とを含み、各ゲーム機の第1の接続手段と接続するための複数の第2の接続手段、

前記複数の第2の接続手段に相当する数のビット数の記憶部を有し、各ビットが各第2の接続手段に含まれる第1の端子に接続されたデータ入力ポート、

前記複数の第2の接続手段に相当する数のビット数の記憶部を有し、各ビットが各第2の接続手段に含まれる第2の端子に接続されたデータ出力ポート、

前記複数の第2の接続手段に相当する数のビット数の記憶部を有し、各ビットが各第2の接続手段に含まれる第3の端子に接続されたクロック出力ポート、

前記ゲーム機とのデータ通信に使用される四つのクロック信号を、前記クロック出力ポートの各ビットに与えるクロック信号発生手段、

前記クロック信号号に応じて、前記各ゲーム機へ送信するゲームに関する送信データと各ゲーム機から受信したゲームに関する受信データとを記憶する送信データー時記憶手段、

前記各ゲーム機からのビット直列の受信データをビット並列のデータにフォーマット変換し、又は送付すべきビット並列データをビット直列のデータにフォーマット変換するフォーマット变换手段、

前記クロック信号号に応じて、前記各ゲーム機から受信した前記データ入力ポートのデータのうちビット並列のデータを前記フォーマット変換手段によってフォーマット変換された後、前記送信データー時記憶手段へ當り受け送信データ電手段、および

前記クロック信号号に同期して、前記送信データー時記憶手段に記憶されている送信データを記録各ゲーム機へ送信するため、送受信データー時記憶手段に

記憶されている送信データを読み出して前記フォーマット変換手段にビット対応のデータにフォーマット変換させた後、前記データ出力ポートの各ビットへ与える送信データ供給手段を経えた、ゲーム機用通信アダプタ。

2 前記送信データー時記憶手段は、送信バッファ領域および受信バッファ領域を有し、

前記受信バッファ領域は、それぞれが前記複数のゲーム機に対応するバッファ領域を含み、各バッファ領域は、1つのゲーム機のための送信データを記憶する記憶位置と、他のゲーム機に対するタイミングデータを記憶する記憶位置とを有することを特徴とする、請求項1に記載のゲーム機用通信アダプタ。

3 前記送信バッファ領域は、それぞれが前記複数のゲーム機に対応するバッファ領域を含み、各バッファ領域は、それぞれのゲーム機のための送信データを記憶する記憶位置に分割されていることを特徴とする、請求項1に記載のゲーム機用通信アダプタ。

4 各々がゲームプログラムを実行する中央処理手段を有するような複数のゲーム装置と共に用いられ、その定められたゲーム状態を表すデータを発生する通信アダプタであって、

各々が前記ゲーム装置の間違する1つと結合されているような外部コネクタポートを有するハウジング、

前記複数のゲーム装置のための送信および受信データを記憶するためのバッファ領域に仕切られたランダムアクセスメモリ、

前記複数の外部コネクタポートに結合され、そこからデータを受信し、そこへデータを送信するための入出力手段、

前記入出力手段に結合され、前記複数のゲーム装置から受け取ったデータを整理し、および前記複数のゲーム装置から受け取ったデータを前記ランダムアクセスメモリに書き込み、前記複数のゲーム装置に送信するために前記ランダムアクセスメモリからデータを読み出すための処理手段を作成した、通信アダプタ。

5 さらに、前記処理手段に組みされたプログラムメモリおよび前記中央処理手段に結合されたハードウェアサイマを含むことを特徴とする、請求項4に記載の通信アダプタ。

6 前記入出力手段は、前記複数のゲーム装置から受信したデータを記憶する手段を有する入力ポートおよび複数のゲーム装置に送信すべきデータを記憶する手段を有する出力ポートを含むことを特徴とする、請求項4に記載の通信アダプタ。

7 前記複数の外部コネクタポートのうちは、人リデータを發信するための第1の端子と、人リデータを受信するための第2の端子と、クロック信号を受信するための第3の端子とを含むことを特徴とする、請求項4に記載の通信アダプタ。

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-176235

(43) Date of publication of application : 23.06.1992

(51)Int.Cl. H04L 29/06
A63F 9/00
A63F 9/22
H04L 12/44

(21) Application number : 02-304850

(71)Applicant : NINTENDO CO LTD

(22) Date of filing : 08.11.1990

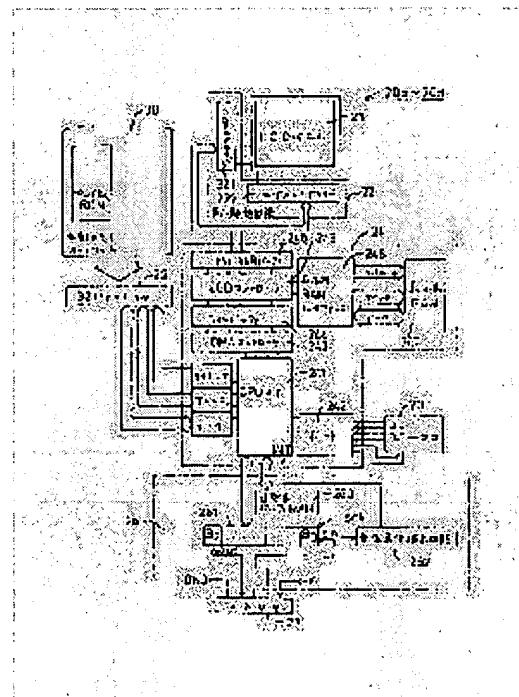
(72)Inventor : OKADA SATOSHI
YAMAGAMI HITOSHI
YAMANO KATSUYA

(54) COMMUNICATION ADAPTOR FOR GAME MACHINE

(57) Abstract:

PURPOSE: To surely send a data relating to a match game with respect to plural games by reading a transmission data stored in a transmission reception data temporary storage means synchronously with a clock signal and converting the format of the data into that of bit correspondence.

CONSTITUTION: Upon the receipt of one reception data, a CPU 15 transfers or writes a reception data of a reception buffer area 161 to each address of an area of a transmission buffer area 162 corresponding to each of game machines 20a-20d. Then a data of each byte is sent to each of the game machines 20a-20d in bit serial in the order of relevant bits and in the order of 1st-4th bytes of the transmission buffer area 162 corresponding to each game machine. Thus, the received data is stored in a reception buffer area of a transmission reception buffer of each of the game machines 20a-20d.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] -----

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office